

PATENT ABSTRACTS OF JAPAN

IDS (5)

(11)Publication number : 2000-164989

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01S 5/323
H01L 21/205
H01L 33/00

(21)Application number : 10-336356

(71)Applicant : SONY CORP

(22)Date of filing : 26.11.1998

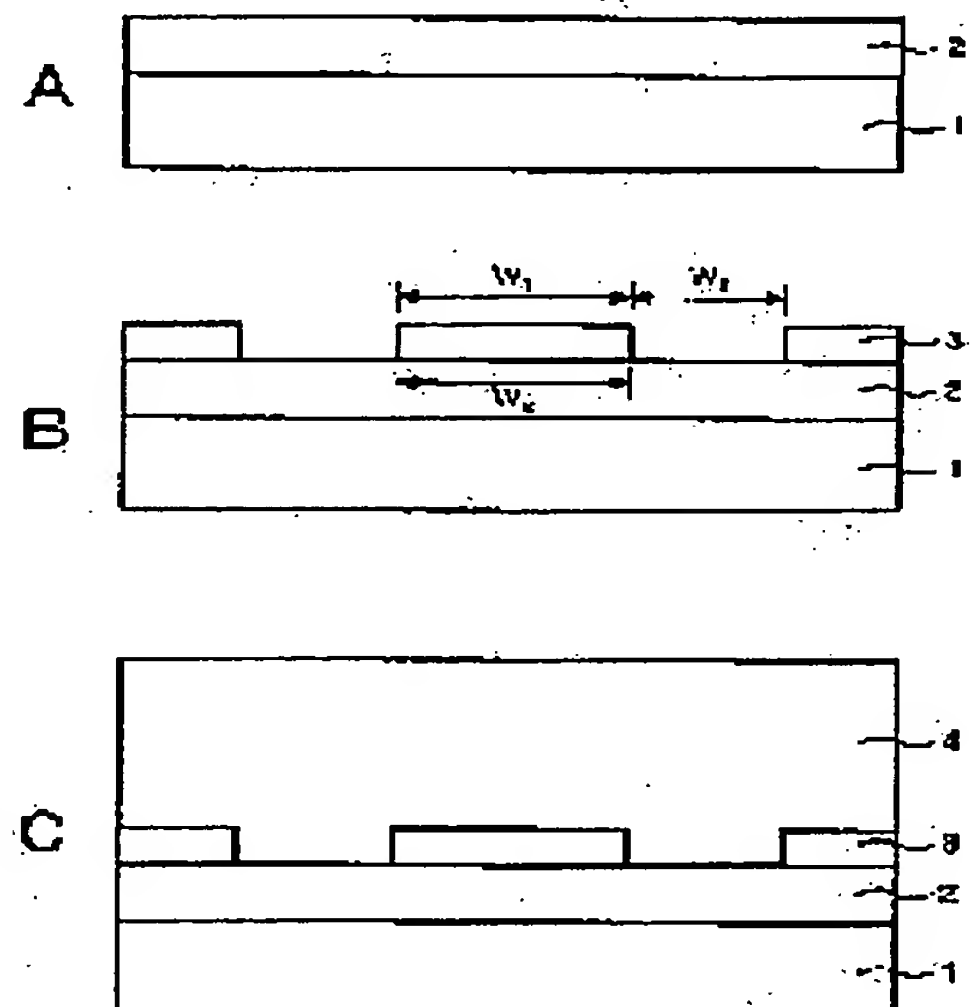
(72)Inventor : HINO TOMOKIMI
ASANO TAKEHARU
ASAZUMA YASUNORI

(54) METHOD OF GROWING NITRIDE-BASED III-V COMPOUND SEMICONDUCTOR AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of growing nitride-based III-V compound semiconductor that has high quality by preventing voids when it is grown by using a growing mask, and that can be used to manufacture a highly reliable semiconductor device with high design flexibility when used to manufacture a semiconductor device or a substrate used therefor, and provide a semiconductor device that can achieve high reliability and design flexibility even when it contains a nitride-based III-V compound semiconductor layer selectively grown by using a growing mask.

SOLUTION: An SiO₂ film 3 having a stripe shape as a growing mask is formed on a GaN layer 2 grown on a c-face sapphire substrate 1. The width of the upper end of the SiO₂ film 3 is made 4.8 μm or less. With the SiO₂ layer 3 formed on the GaN layer 2, a GaN layer 4 is selectively grown on the GaN layer 2. If a GaN semiconductor laser is manufactured, a semiconductor layer for forming a laser structure is grown on the GaN layer 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-164989
(P2000-164989A)

(43) 公開日 平成12年6月16日 (2000. 6. 16)

(51) Int.Cl.	識別記号	F I	テームト (参考)
H 0 1 S 5/323		H 0 1 S 3/18	6 7 3 5 F 0 4 1
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 5
33/00		33/00	C 5 F 0 7 3

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願平10-336356

(22) 出願日 平成10年11月26日 (1998. 11. 26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 日野 智公

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 浅野 竹春

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

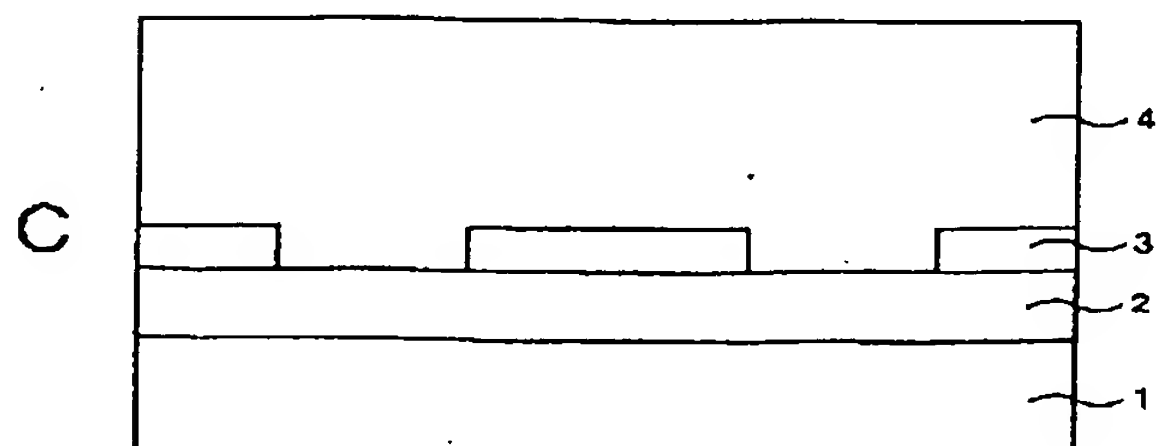
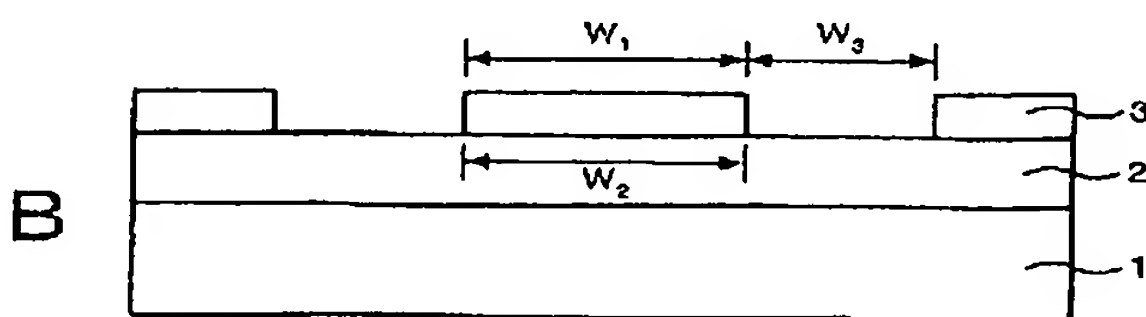
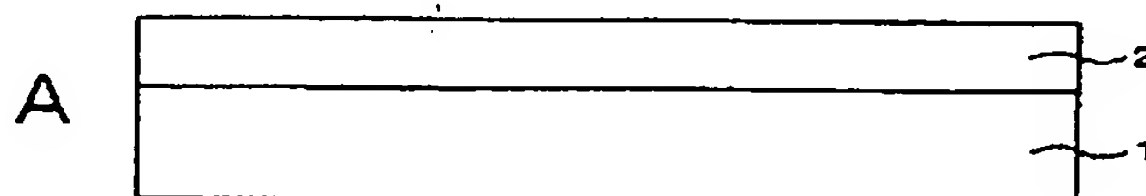
最終頁に続く

(54) 【発明の名称】 窒化物系 I I I - V 族化合物半導体の成長方法および半導体装置

(57) 【要約】

【課題】 窒化物系 I I I - V 族化合物半導体を成長マスクを用いて選択成長させる場合に、空洞の発生を抑制しつつ高品質の窒化物系 I I I - V 族化合物半導体を成長させることができ、半導体装置または半導体装置製造用基板の製造に適用した場合に、信頼性が高く、設計の自由度の高い半導体装置を製造することができる窒化物系 I I I - V 族化合物半導体の成長方法および成長マスクを用いて選択成長させた窒化物系 I I I - V 族化合物半導体層を有する場合であっても、高い信頼性および高い設計の自由度を実現することができる半導体装置を提供する。

【解決手段】 c 面サファイア基板 1 上に成長させた G a N 層 2 上に、成長マスクとしてストライプ形状を有する S i O₂ 膜 3 を形成する。S i O₂ 膜 3 の上端の幅は 4. 8 μm 以下とする。G a N 層 2 上に S i O₂ 膜 3 を形成した状態で G a N 層 2 上に G a N 層 4 を選択成長させる。G a N 系半導体レーザを製造する場合は、G a N 層 4 上にレーザ構造を形成する半導体層を成長させる。



【特許請求の範囲】

【請求項1】 基板上に成長マスクを形成した状態で上記基板上に窒化物系ⅢⅢⅢ-V族化合物半導体を成長させるようにした窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法において、

上記成長マスクの上端の幅を $4.8\mu\text{m}$ 以下にしたことを特徴とする窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項2】 上記成長マスクは、上端の幅が下端の幅より小さいことを特徴とする請求項1記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項3】 上記成長マスクの上端の幅を W_1 、下端の幅を W_2 としたとき、上記成長マスクの下端の幅に対する上端の幅の比 W_1/W_2 が $0 \leq W_1/W_2 \leq 0.8$ であることを特徴とする請求項2記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項4】 上記成長マスクの上端の幅を W_1 、下端の幅を W_2 としたとき、上記成長マスクの下端の幅に対する上端の幅の比 W_1/W_2 が $0 \leq W_1/W_2 \leq 0.5$ であることを特徴とする請求項2記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項5】 上記成長マスクは、上端の幅が下端の幅より大きいことを特徴とする請求項1記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項6】 上記成長マスクの上端の幅を W_1 、下端の幅を W_2 としたとき、上記成長マスクの下端の幅に対する上端の幅の比 W_1/W_2 が $W_1/W_2 > 1$ （ただし $W_2 > 0$ ）であることを特徴とする請求項5記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項7】 上記成長マスクの下端の幅を $1\mu\text{m}$ 以上としたことを特徴とする請求項5記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項8】 上記成長マスクはストライプ形状を有することを特徴とする請求項1記載の窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法。

【請求項9】 基板上に成長マスクを形成した状態で上記基板上に成長させた窒化物系ⅢⅢⅢ-V族化合物半導体層を有する半導体装置において、上記成長マスクの上端の幅が $4.8\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項10】 上記成長マスクは、上端の幅が下端の幅より小さいことを特徴とする請求項9記載の半導体装置。

【請求項11】 上記成長マスクの上端の幅を W_1 、下端の幅を W_2 としたとき、上記成長マスクの下端の幅に対する上端の幅の比 W_1/W_2 が $0 \leq W_1/W_2 \leq 0.8$ であることを特徴とする請求項10記載の半導体装置。

【請求項12】 上記成長マスクの上端の幅を W_1 、下端の幅を W_2 としたとき、上記成長マスクの下端の幅に

対する上端の幅の比 W_1/W_2 が $0 \leq W_1/W_2 \leq 0.5$

であることを特徴とする請求項10記載の半導体装置。

【請求項13】 上記成長マスクは、上端の幅が下端の幅より大きいことを特徴とする請求項9記載の半導体装置。

【請求項14】 上記成長マスクの上端の幅を W_1 、下端の幅を W_2 としたとき、上記成長マスクの下端の幅に対する上端の幅の比 W_1/W_2 が $W_1/W_2 > 1$ （ただし $W_2 > 0$ ）であることを特徴とする請求項13記載の半導体装置。

【請求項15】 上記成長マスクの下端の幅が $1\mu\text{m}$ 以上であることを特徴とする請求項13記載の半導体装置。

【請求項16】 上記成長マスクはストライプ形状を有することを特徴とする請求項9記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、窒化物系ⅢⅢⅢ-V族化合物半導体の成長方法および半導体装置に関し、特に、窒化物系ⅢⅢⅢ-V族化合物半導体を用いた半導体レーザや発光ダイオードあるいは電子走行素子、または、これらの窒化物系ⅢⅢⅢ-V族化合物半導体を用いた半導体装置の製造に用いる半導体装置製造用基板に適用して好適なものである。

【0002】

【従来の技術】AlGaInNなど窒化物系ⅢⅢⅢ-V族化合物半導体（以下、GaN系半導体とも言う）は、可視領域から紫外領域までの発光を得ることができることから、半導体レーザや発光ダイオードのような半導体発光素子を構成する材料として注目されている。また、このGaN系半導体は、飽和電子速度および破壊電圧が大きいことから、電子走行素子を構成する材料としても注目されている。

【0003】ところで、一般に、半導体装置の性能の向上および性能の保持を図る上では、この半導体装置を構成する半導体層の結晶性が非常に重要である。例えば、従来のGaAs系半導体を用いた光素子では、半導体層の積層欠陥密度は 10^2cm^{-2} 以下である。これに対し、GaN系半導体は、格子整合性の良い適当な基板がなく、主にサファイアなどの格子定数の異なる基板上に成長される。このため、GaN系半導体を用いた半導体装置では、基板と半導体層との格子不整合が非常に大きく、このことが、半導体層中に結晶欠陥を生じさせる大きな要因となっている。このGaN系半導体の結晶欠陥の問題に関しては、結晶欠陥の少ないGaN系半導体では発光効率が高くなる傾向があることが実験的に確認されており、また、理論計算により、電子移動度はキャリアが少ないときには結晶欠陥によって規定されることが指摘されている。このため、近年、GaN系半導体の結

晶欠陥の低減化方法が模索されてきている。特に、Ga N系半導体レーザの長寿命化には、Ga N系半導体の結晶欠陥の低減が必須とされている。

【0004】ここで、Ga N系半導体の結晶欠陥低減のための従来の方策について、Ga Nを例にとって説明する。Ga Nの結晶欠陥低減のための第1の方策は、基板とGa N層との間に低温成長によるGa NやAl Nからなるバッファ層を挿入することである（例えば、Appl. Phys. Lett., 48(1986)353、Jpn. J. Appl. Phys., 30(1991)L1705）。この方法は、例えば、c面サファイア基板上にGa Nバッファ層を低温成長させ、この上部に半導体層を成長させる際にこれを結晶化させ、このバッファ層上に成長させる半導体層の品質を向上させるものである。

【0005】しかしながら、この第1の方策を用いた場合であっても、低減できる欠陥の密度には限界があり、欠陥（特に貫通転位）密度は $10^4 \sim 10^{10} \text{ cm}^{-2}$ となっている。そこで、Ga Nの結晶欠陥低減のための第2の方策として、他のIII-V族化合物半導体の成長において用いられているような選択成長技術（例えば、Jpn. J. Appl. Phys., 28(1989)L337）を用いることが提案されている。この方法では、c面サファイア基板またはSiC基板上にあらかじめ単結晶のGa N層を形成しておき、その上にSiO₂膜やSiN膜からなる成長マスクを形成した状態で2回目のGa Nの成長を行う。この場合、この成長マスクで覆われていない開口部のGa N層上に成長したGa N結晶が横方向に（成長マスク上に）延びてゆくとき、下地から引き継がれる貫通欠陥は成長マスクによって阻止されるので、成長マスク上に成長したGa N層はより低結晶欠陥密度の高品質な結晶となる。

【0006】上述のGa Nの選択成長技術についてより詳細に説明する。すなわち、この技術では、図14に示すように、まず、c面サファイア基板101上に例えば500～600℃程度の低温で厚さが例えば20～30nmのアモルファス状のGa Nバッファ層を成長させた後、基板温度を1000℃程度まで上昇させてこのGa Nバッファ層を固相エピタキシャル成長により結晶化させ、結晶粒の方位がそろった多結晶のGa N層を形成する。そして、この多結晶Ga N層上にGa Nをある程度厚く（典型的には3μm程度）成長させると、積層欠陥密度が 10^{10} cm^{-2} 程度の単結晶のGa N層102が得られる。次に、このGa N層102上にSiO₂膜などからなるストライプ形状の成長マスク103を形成し、1000℃程度の温度で有機金属化学気相成長（MOCVD）法やハイドライド気相エピタキシャル成長（HVPE）法によりGa Nを成長させる。すると、成長マスクで覆われていない開口部のGa N層102上に成長したGa Nは横方向成長によって成長マスク103上に広がってゆき、Ga Nをある程度の厚さ成長させると、成長マスク103の各開口部から横方向成長したGa N結

晶同士が合体して連続的な単結晶のGa N層104が成長する。このとき、図15に示すように、成長マスク103上のGa N層104のみならず、成長マスク103の開口部上のGa N層104の貫通転位も横方向に曲がって、Ga N層104全体としての結晶欠陥が低減する。

【0007】

【発明が解決しようとする課題】しかしながら、上述の従来の選択成長技術は、Ga Nの結晶欠陥低減には有効であるものの、図16に示すように、成長マスク103の各開口部から横方向成長してきたGa N層104同士が、成長マスク103上のほぼ中央部において合体する際に、三角形の断面形状を有する空洞（ボイド）104aが成長マスク103の延長方向に沿って発生するという問題がある。このような空洞104aの存在するGa N層104上に、例えば、レーザ構造を形成する半導体層を成長させてGa N系半導体レーザを製造した場合、電流通路となるストライプ部が空洞104aの発生している領域上に形成されていると、通電時にこの空洞104aが原因となって短絡が発生し、素子の信頼性が著しく低下するという問題があった。

【0008】そこで、上述のような空洞104aに起因する短絡の発生を防ぐために、従来のGa N系半導体レーザの製造方法においては、電流通路となるストライプ部をこの空洞104aが発生する成長マスク103の中央付近からずらして形成するようなことが行われている（例えばJpn. J. Appl. Phys., 36(1997)L1568、日本学術振興会短波長光デバイス第162委員会第10回研究会資料p.18）。しかしながら、この場合、ストライプ部の延びる方向およびストライプ部の形成位置などを任意に設定することができず、デバイス設計が制約されるという問題がある。

【0009】したがって、この発明の目的は、窒化物系III-V族化合物半導体を成長マスクを用いて選択成長させる場合に、空洞の発生を抑制しつつ高品質の窒化物系III-V族化合物半導体を成長させることができ、半導体装置または半導体装置製造用基板の製造に適用した場合に、信頼性が高く、設計の自由度の高い半導体装置を製造することができる窒化物系III-V族化合物半導体の成長方法を提供することにある。

【0010】この発明の他の目的は、成長マスクを用いて選択成長させた窒化物系III-V族化合物半導体層を有する場合であっても、高い信頼性および高い設計の自由度を実現することができる半導体装置を提供することにある。

【0011】

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意実験、検討を行ったところ、従来技術において、成長マスク103を用いてGa N層104を選択成長させた場合に、成長マスク

103の上部におけるGa₂N層104に空洞104aが発生する理由は、Ga₂N層104の成長条件に対して成長マスク103の幅、特に、成長マスク103の上端の幅が最適化されていないこと、具体的には、成長マスク103の上端の幅が最適値より大きいことにあることを見いだした。特に、従来技術においては、成長マスクの幅は、その下端の幅（あるいはパターンニングに用いるエッチングマスクの幅）で規定されているのがほとんどで、成長マスクの上端の幅を最適化することで、空洞の発生を抑制するようなことは行われていなかった。以下、本発明者が課題を解決する手段を案出する契機となった実験について説明する。

【0012】図1に、成長マスクの上端の幅を変えてGa₂N層を選択成長させ、得られたGa₂N層における空洞の有無を調べた結果を示す。図1においては、Ga₂N層に空洞が発生しなかった場合「0」をプロットし、空洞が発生した場合「1」をプロットした。Ga₂N層の成長においては、III族元素であるGaの原料としてはトリメチルガリウム（TMG）を、V族元素であるNの原料としてはアンモニア（NH₃）を用い、キャリアガスとしては水素（H₂）と窒素（N₂）との混合ガスを用いた。実験に用いた試料は具体的に次のようにして作製した。図2に示すように、まず、c面サファイア基板1上にMOCVD法によりGa₂N層2を成長させる。このGa₂N層2は、まず、基板温度を500℃としてc面サファイア基板1上に厚さ30nmのGa₂N層（バッファ層）を低温成長させた後、基板温度を1000℃程度まで上昇させてこの低温成長によるGa₂N層上に単結晶のGa₂N層を成長させることにより形成する。次に、このGa₂N層2上に化学気相成長（CVD）法によりSiO₂膜3を形成する。次に、このSiO₂膜3をリソグラフィ法およびエッチング法によりc面サファイア基板1の〈1-100〉方向に延在するストライプ形状にパターンニングし、成長マスクを形成する。この際、試料毎に成長マスクとしてのSiO₂膜3の上端の幅W₁を変化させた。なお、SiO₂膜3の開口部の幅は8.0μmで一定とした。次に、成長マスクとしてのSiO₂膜3が形成されたGa₂Nバッファ層2上に、MOCVD法により成長温度を1000℃にして厚さ10.0nmのGa₂N層4を成長させる。このとき、原料ガスのうち、TMGの流量は12cc/minとし、NH₃の流量は4l/minとした。また、キャリアガスについては、H₂ガスとN₂ガスとの合計の流量に対するH₂ガスの流量の比（[H₂ガスの流量] / （[H₂ガスの流量] + [N₂ガスの流量]））は50%とした。

【0013】図1より、SiO₂膜3の上端の幅W₁が4.8μmより大きい場合は、Ga₂N層4中に空洞が発生しているのに対して、SiO₂膜3の上端の幅W₁が4.8μm以下の場合は、Ga₂N層4中に空洞が発生していないことがわかる。すなわち、この場合、空洞を発生

させずにGa₂N層4を選択成長させることが可能なSiO₂膜3の上端の幅W₁の上限は、4.8μmであることがわかる。

【0014】一方、別に行った実験によれば、空洞を発生させずにGa₂N層4を選択成長させることが可能なSiO₂膜3の上端の幅W₁の上限値は、成長雰囲気中のH₂ガスとN₂ガスとの流量の比により変化することが確認されている。図3に、Ga₂N層4の成長時におけるH₂ガスとN₂ガスとの合計の流量に対するH₂ガスの流量の比（[H₂ガスの流量] / （[H₂ガスの流量] + [N₂ガスの流量]））を35.7%として、上述と同様な実験を行ったときの結果を示す。この場合、図3より、SiO₂膜3の上端の幅W₁が5.8μmより大きい場合にGa₂N層4中に空洞が発生し、SiO₂膜3の上端の幅W₁が5.8μm以下の場合にGa₂N層4中に空洞が発生しないことがわかり、図1に示す実験結果と比較して、SiO₂膜3の上端の幅W₁の上限値が変化していることがわかる。

【0015】ここで、H₂ガスとN₂ガスとの合計の流量に対するH₂ガスの流量の比によって、空洞を発生させずにGa₂N層4を選択成長させることが可能なSiO₂膜3の上端の幅W₁の上限値がどのように変化するかについて、図4を参照して説明する。図4中、破線aは、実験結果に基づいて求めたSiO₂膜3の上端の幅W₁の上限値を示す。図4より、H₂ガスが0%の場合、SiO₂膜3のマスクの上端の幅W₁が8.5μm以下の領域でGa₂N層4中の空洞の発生が抑制され、H₂ガスが100%の場合、SiO₂膜3のマスクの上端の幅W₁が1.5μm以下の領域でGa₂N層4中の空洞の発生が抑制されることがわかる。すなわち、Ga₂N層4の成長時におけるH₂ガスとN₂ガスとの合計の流量に対するH₂ガスの流量の比をある値に設定したとき、SiO₂膜3の上端の幅W₁は図4中破線aの下側の領域の範囲内に設定すれば（W₁を所定値以下に設定すれば）、空洞の発生を抑制しつつGa₂N層4を成長させることが可能となる。

【0016】また、図4より、例えば、SiO₂膜3の上端の幅W₁を4.8μmとした場合は、H₂ガスの比が50%以下のときに、空洞を発生させずにGa₂N層4を成長させることが可能であるが、SiO₂膜3の上端の幅W₁をさらに狭くした場合、例えばSiO₂膜3の上端の幅W₁を3.0μmとした場合は、H₂ガスの比を80%にしてもGa₂N層4には空洞が発生しない。したがって、成長条件に対する許容度を大きくする観点から、SiO₂膜3の上端の幅W₁は小さくした方が良いと言える。特に、一般に、H₂ガスの比が高いほど、Ga₂N層4が横方向成長する際の成長速度が速い傾向にあるので、空洞の発生を抑制しつつ選択成長に要する時間の短縮を図る場合には、成長マスクの上端の幅W₁は小さいほうが好ましい。実際には、SiO₂膜3の上端の

幅 W_1 は、Ga₂N層4の成長条件に応じてそのときの上限値以下に設定すればよい。

【0017】さらに、別に行った実験によれば、空洞を発生させずにGa₂N層4を選択成長させることが可能なSiO₂膜3の上端の幅 W_1 の上限値は、SiO₂膜3の形状（断面形状）に依存せず、SiO₂膜3の断面形状が順テーパ状であっても逆テーパ状であっても、成長条件が同一ならば、SiO₂膜3の上端の幅 W_1 の上限値はほとんど変化しないことが確認されている。

【0018】以上は、c面サファイア基板上に成長させたGa₂N層の上に、SiO₂膜をマスクとしてGa₂N層を選択成長させる場合についてであるが、より一般的に基板（基板上に半導体層が成長されたものを含む）の上に、成長マスクを用いて窒化物系III-V族化合物半導体を選択成長させる場合に同様なことが成立する。

【0019】この発明は、本発明者による以上のような検討に基づいて案出されたものである。

【0020】すなわち、上記目的を達成するために、この発明の第1の発明は、基板上に成長マスクを形成した状態で基板上に窒化物系III-V族化合物半導体を成長させるようにした窒化物系III-V族化合物半導体の成長方法において、成長マスクの上端の幅を4.8μm以下にしたことを特徴とするものである。

【0021】この発明の第2の発明は、基板上に成長マスクを形成した状態で基板上に成長させた窒化物系III-V族化合物半導体層を有する半導体装置において、成長マスクの上端の幅が4.8μm以下であることを特徴とする半導体装置。

【0022】この発明において、成長マスクの材料としては、典型的には、誘電体または絶縁体、具体的には例えば酸化シリコン（SiO₂）または窒化シリコン（Si₃N₄）が用いられる。また、この成長マスクは、酸化シリコン膜と窒化シリコン膜との積層膜からなるものであってもよい。この場合、少なくともその積層膜の最上層が窒化シリコン膜であることが好ましい。また、成長マスクの材料としては、場合によっては金属を用いてもよい。また、基板としては、サファイア基板、SiC基板、スピネル基板、ZnO基板またはこれらの上に半導体層（好適には窒化物系III-V族化合物半導体層）が成長されたものなどが用いられる。

【0023】この発明において、窒化物系III-V族化合物半導体は、Ga、Al、In、BおよびTlからなる群より選ばれた少なくとも一種のIII族元素と、少なくともNを含み、場合によってはさらにAsまたはPを含むV族元素とからなる。この窒化物系III-V族化合物半導体の具体例を挙げると、Ga₂N、AlGa₂N、AlN、GaInN、AlGaInN、InNなどである。

【0024】この発明において、窒化物系III-V族化合物半導体の成長方法としては、典型的には、常圧ま

たは減圧による有機金属化学気相成長法、ハイドライド気相エピタキシャル成長法、分子線エピタキシー法などが用いられる。

【0025】この発明において、成長マスクは、上端の幅と下端の幅とがほぼ等しくてもよいし、上端の幅が下端の幅より小さくてもよいし、上端の幅が下端の幅より大きくてもよい。ここで、選択成長を行う場合、成長マスク上の窒化物系III-V族化合物半導体の成長層には貫通転位が形成されず、したがって、積層欠陥密度を低減する観点からは成長マスクの下端の幅は大きい方がよい。一方で、空洞発生抑制には成長マスクの上端の幅は小さい方がよい。以上の理由により、成長マスクの上端の幅が下端の幅より小さい場合は、成長マスクの設計に自由度を持たせるために、上端の幅を W_1 、下端の幅を W_2 としたとき、下端の幅に対する上端の幅の比 W_1/W_2 は、例えば0以上0.8以下に選ばれ、好適には0以上0.5以下に選ばれる。また、成長マスクの上端の幅が下端の幅より大きい場合は、下端の幅に対する上端の幅の比 W_1/W_2 は1より大きく、好適には1.5以上である（ただし、 $W_2 > 0$ ）。この場合、成長マスクの下端の幅は1μm以上とすることが好ましく、さらには、2μm以上とすることがより好ましい。現実的には、この比 W_1/W_2 の上限は8程度である。なお、この成長マスクの断面形状は任意に設定することが可能である。

【0026】上述のように構成されたこの発明においては、基板上に成長マスクを形成した状態で基板上に窒化物系III-V族化合物半導体を成長させる場合に、成長マスクの上端の幅を4.8μm以下と最適化していることにより、空洞の発生を抑制しつつ高品質な窒化物系III-V族化合物半導体を成長させることができる。

【0027】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0028】まず、この発明の第1の実施形態によるGa₂N層の成長方法について説明する。図5は、この第1の実施形態によるGa₂N層の成長方法を示す。

【0029】この第1の実施形態においては、図5Aに示すように、例えばc面のサファイア基板1上に例えば500～600℃程度の低温で厚さが例えば20～30nmのアモルファス状のGa₂Nバッファ層を成長させた後、基板温度を1000℃程度まで上昇させてこのGa₂Nバッファ層を固相エピタキシャル成長により結晶化させ、結晶粒の方位がそろった多結晶のGa₂N層を形成する。そして、この多結晶Ga₂N層上にGa₂Nをある程度厚く（典型的には3μm程度）成長させると、積層欠陥密度が 10^{10} cm⁻²程度の単結晶のGa₂N層2が得られる。

【0030】次に、例えばフッ酸を含む水溶液を用いて表面処理を行うことにより、Ga₂N層2上の汚れや酸化膜を除去する。次に、図5Bに示すように、Ga₂N層2上に所定の成膜技術により所定の厚さのSiO₂膜3を形成する。このSiO₂膜3の形成には、例えばCVD法、蒸着法、スパッタリング法などを用いることが可能であるが、その中でもCVD法を用いることが好ましい。次に、このSiO₂膜3をリソグラフィ法およびエッチング法により、例えばc面サファイア基板1の〈11-20〉方向に延びるストライプ形状にパターンニングし、成長マスクを形成する。このSiO₂膜3のパターンニングは、例えばRIE法やフッ酸を含む水溶液を用いたウェットエッチング法により行う。ここでは、このSiO₂膜3をパターンニングする際に、マスク部の上端の幅W₁と下端の幅W₂とがほぼ等しくなるようにする。ここで、この成長マスクとしてのSiO₂膜3の上端の幅W₁は例えば4.8μm以下に選ばれる。具体的には、このSiO₂膜3の上端の幅W₁および下端の幅W₂は例えば4.0μmとし、このSiO₂膜3の開口部の幅W₃は例えば2.0μmとする。また、このSiO₂膜3の厚さは例えば0.2μmとする。

【0031】次に、成長マスクとしてのSiO₂膜3が形成されたc面サファイア基板1をMOCVD装置内に導入する。このMOCVD装置は、例えば、石英もしくはステンレスからなる中空の反応管を備えている。c面サファイア基板1は、この反応管内に載置する。次に、この反応管内に、原料ガスとして例えばトリメチルガリウム(TMG)およびアンモニア(NH₃)を供給すると共に、基板温度を例えば500℃以上1200℃以下の所定の成長温度にし、MOCVD法によりGa₂Nの成長させる。このとき、キャリアガスとしては、例えばH₂とN₂との混合ガスを用いる。

【0032】この際、Ga₂Nの成長速度が望ましくは10μm/h以下となるように原料の供給量を調整し、また、キャリアガスについては、H₂ガスとN₂ガスとの合計の流量に対するH₂ガスの流量の比([H₂ガスの流量]/([H₂ガスの流量]+[N₂ガスの流量]))が例えば50%以下となるように、それぞれの供給量を調整する。また、成長温度を500℃以上1200℃以下とするのは、500℃以下の低温では基板上に供給された原料に対して、十分なマイグレーションエネルギーが与えられず、良質なGa₂Nを成長させることができず、一方、1200℃以上の高温では原料の付着係数が低下しすぎて十分な成長速度が実現できないことや、反応管の安全性に問題が生じるからである。ここでは、この成長温度を1000℃とする。

【0033】反応管内の基板温度が上述の成長温度となるまで加熱した後、その状態を1分以上、例えば1時間以上保持する。これにより、基板上でGa₂Nの選択成長が起こり、図5Cに示すように、良質な結晶性を持つ単

結晶のGa₂N層4が形成される。成長の初期においては、Ga₂Nの結晶核がSiO₂膜3の開口部におけるGa₂N層2の表面に選択的に生成し、時間の経過と共に各結晶核が成長し、一定時間経過後には合体し、SiO₂膜3の開口部におけるGa₂N層2上にほぼ単結晶のGa₂N層4が成長する。さらに時間が経過すると、Ga₂N層4の表面がSiO₂膜3の表面とほぼ同一の高さになる。さらに成長を続けると、Ga₂N層4は厚さを増しながらSiO₂膜3の幅方向への横方向成長によりSiO₂膜3上にも成長してゆく。Ga₂N層4の成長がさらに進むと、SiO₂膜3の各開口部から横方向成長したGa₂N層4同士がそれらの側面で合体する。Ga₂N層4の厚さが所定の厚さになった時点で、図5Cに示すように、表面が平坦な単結晶のGa₂N層4が連続膜として得られる。ここでは、このGa₂N層4を例えば10.0μm程度成長させる。

【0034】以上のように、この第1の実施形態によれば、c面サファイア基板1上に成長されたGa₂N層2上に、成長マスクとしてのストライプ形状のSiO₂膜3を形成した状態でGa₂N層4を成長させる場合に、SiO₂膜3の上端の幅W₁を4.8μm以下と最適化していることにより、SiO₂膜3上においてSiO₂膜3の各開口部から横方向成長したGa₂N層4同士が合体する際に、この部分に空洞が発生するのを抑制することができる。これにより、空洞の殆ど無い良質な結晶性を有するGa₂N層4を得ることができる。また、このようにしてGa₂N層4を成長させたものを半導体装置製造用基板として用いることにより、すなわち、このGa₂N層4上に窒化物系III-V族化合物半導体層を成長させて半導体装置を製造することにより、信頼性の高い半導体装置を得ることができる。

【0035】次に、この発明の第2の実施形態によるGa₂N層の成長方法について説明する。

【0036】この第2の実施形態においては、Ga₂N層2上に形成したSiO₂膜3をストライプ形状にパターンニングして成長マスクを形成する際に、図6Aに示すように、SiO₂膜3をテーパエッチングし、マスク部におけるSiO₂膜3の上端の幅W₁が下端の幅W₂より小さい、順テーパ状の断面形状を有する成長マスクを形成する。ここでは、所定のエッチング技法により、SiO₂膜3の側面が内側に湾曲したテーパ形状となるように、このSiO₂膜3をパターンニングする。この場合においても、SiO₂膜3の上端の幅W₁は4.8μm以下とする。また、高い積層欠陥密度の低減効果と高い空洞発生抑制効果が得られるように成長マスクの設計に自由度を持たせる観点から、SiO₂膜3の下端の幅W₂に対する上端の幅W₁の比W₁/W₂は、例えば0以上0.8以下、好適には0以上0.5以下とする。具体的には、SiO₂膜3の上端の幅W₁を4.0μmとし、下端の幅W₂を8.0μmとし、開口部の幅W₃

を4.0 μm とする。また、 SiO_2 膜3の厚さは1.0 μm とする。

【0037】次に、図6Bに示すように、第1の実施形態におけると同様に、 GaN 層2上に成長マスクとしての SiO_2 膜3を形成した状態で GaN 層4を成長させる。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0038】この第2の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0039】次に、この発明の第3の実施形態による GaN 層の成長方法について説明する。

【0040】この第3の実施形態においては、図7Aに示すように、 GaN 層2上に形成した SiO_2 膜3をストライプ形状にパターンニングする際に、第2の実施形態におけると同様のテーパエッチングを行い、この際、マスク部における SiO_2 膜3の両側の側面が、その上端のほぼ中央部で交差するまでエッチングすることにより、上面に平坦部のほとんど無い、すなわち、上端の幅 W_1 がほぼ0の成長マスクを形成する。具体的には、 SiO_2 膜3の上端の幅 W_1 を0とし、下端の幅 W_2 を8.0 μm とし、開口部の幅 W_3 を4.0 μm とする。また、 SiO_2 膜3の厚さは1.0 μm とする。

【0041】次に、図7Bに示すように、第1の実施形態におけると同様に、 GaN 層2上に成長マスクとしての SiO_2 膜3を形成した状態で GaN 層4を成長させる。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0042】この第3の実施形態によっても、第1の実施形態と同様な利点を得ることができる。なお、この第3の実施形態においては、成長マスクとしての SiO_2 膜3の上端の幅 W_1 がほぼ0であることにより、空洞発生の抑制効果は、第1の実施形態より高い。

【0043】次に、この発明の第4の実施形態による GaN 層の成長方法について説明する。

【0044】この第4の実施形態においては、 GaN 層2上に形成した SiO_2 膜3をストライプ形状にパターンニングして成長マスクを形成する際に、図8Aに示すように、 SiO_2 膜3をテーパエッチングし、マスク部における SiO_2 膜3の上端の幅 W_1 が下端の幅 W_2 より小さい、順テーパ状の断面形状を有する成長マスクを形成する。ここでは、所定のエッチング技法により、 SiO_2 膜3の側面がほぼ平面状の（平坦な）テーパ形状となるように、この SiO_2 膜3をパターンニングする。この場合においても、 SiO_2 膜3の上端の幅 W_1 は4.8 μm 以下とする。また、高い積層欠陥密度の低減効果と高い空洞発生抑制効果が得られるように成長マスクの設計に自由度を持たせる観点から、 SiO_2 膜3の下端の幅 W_2 に対する上端の幅 W_1 の比 W_1/W_2 は、例えば0以上0.8以下、好適には0以上0.5以下とする。具体的には、 SiO_2 膜3の上端の幅 W_1

を4.0 μm とし、下端の幅 W_2 を8.0 μm とし、開口部の幅 W_3 を4.0 μm とする。また、 SiO_2 膜3の厚さは1.0 μm とする。

【0045】次に、図8Bに示すように、第1の実施形態におけると同様に、 GaN 層2上に成長マスクとしての SiO_2 膜3を形成した状態で GaN 層4を成長させる。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0046】この第4の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0047】次に、この発明の第5の実施形態による GaN 層の成長方法について説明する。

【0048】この第5の実施形態においては、 GaN 層2上に形成した SiO_2 膜3をストライプ形状にパターンニングして成長マスクを形成する際に、第4の実施形態におけると同様のテーパエッチングを行い、この際、図9Aに示すように、マスク部における SiO_2 膜3の両側の側面が、その上端のほぼ中央部で交差するまでエッチングすることにより、上面に平坦部のほとんど無い、すなわち、上端の幅 W_1 がほぼ0の成長マスクを形成する。具体的には、 SiO_2 膜3の上端の幅 W_1 を0とし、下端の幅 W_2 を8.0 μm とし、開口部の幅 W_3 を4.0 μm とする。また、 SiO_2 膜3の厚さは4.0 μm とする。

【0049】次に、図9Bに示すように、第1の実施形態におけると同様に、 GaN 層2上に成長マスクとしての SiO_2 膜3を形成した状態で GaN 層4を成長させる。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0050】この第5の実施形態によっても、第1の実施形態と同様な利点を得ることができる。なお、この第5の実施形態においては、成長マスクとしての SiO_2 膜3の上端の幅 W_1 がほぼ0であることにより、空洞発生の抑制効果は、第1の実施形態より高い。

【0051】次に、この発明の第6の実施形態による GaN 層の成長方法について説明する。

【0052】この第6の実施形態においては、 GaN 層2上に形成した SiO_2 膜3をストライプ形状にパターンニングして成長マスクを形成する際に、図10Aに示すように、 SiO_2 膜3を逆テーパエッチングし、マスク部における SiO_2 膜3の上端の幅 W_1 が下端の幅 W_2 より大きい、逆テーパ状の断面形状を有する成長マスクを形成する。この場合においても、 SiO_2 膜3の上端の幅 W_1 は4.8 μm 以下とする。この場合、 SiO_2 膜3の下端の幅 W_2 に対する上端の幅 W_1 の比 W_1/W_2 は1より大きく、好適には1.5以上である。また、この場合、 SiO_2 膜3の下端の幅 W_2 は0より大きくし、好適には1 μm 以上、より好適には2 μm 以上とする。具体的には、 SiO_2 膜3の上端の幅 W_1 を4.0 μm とし、下端の幅 W_2 を2.0 μm とし、開口

部の幅 W_3 を $6.0\mu\text{m}$ とする。また、 SiO_2 膜3の厚さは $1.0\mu\text{m}$ とする。

【0053】次に、図10Bに示すように、第1の実施形態におけると同様に、 GaN 層2上に成長マスクとしての SiO_2 膜3を形成した状態で GaN 層4を成長させる。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0054】ここで、図11に、この逆テーパー状の断面形状を有する成長マスクを用いた場合の欠陥の伝搬の様子を示す。図11に示すように、成長の初期においては、 SiO_2 膜3の開口部における GaN 層2上に選択的に GaN 層4が成長してゆくわけであるが、この場合、 GaN 層4の表面が SiO_2 膜3の表面とほぼ同一の高さになると（ SiO_2 膜3の開口部が GaN 膜4で埋められると）、 GaN 層4を平坦な表面に成長させるのと等価となる。さらに成長を続けると、 GaN 層4は厚さを増しながら SiO_2 膜3の幅方向への横方向成長により SiO_2 膜3上にも成長してゆき、 SiO_2 膜3の各開口部から横方向成長した GaN 層4同士がそれらの側面で合体する。 GaN 層4の厚さが所定の厚さになった時点で、表面が平坦な単結晶の GaN 層4が連続膜として得られる。このとき、通常の成長マスクでは、 GaN 層の貫通転位が横方向に曲がることにより、成長マスク上に横方向成長した GaN 層にも貫通転位が引き継がれている（図15参照）が、逆テーパー状の成長マスクを用いた場合は、 GaN 層4の貫通転位が SiO_2 膜3の側面によって阻止されるため、 SiO_2 膜3上に横方向成長した GaN 層4には貫通転位が引き継がれない（横方向の結晶欠陥が低減される）という利点がある。また、この場合、 SiO_2 膜3の下端の幅 W_2 に対する上端の幅 W_1 の比 W_1/W_2 が大きいほど、 SiO_2 膜3の開口部において下地からの貫通転位が SiO_2 膜3の側面で阻止される割合が高くなる。この観点から、 SiO_2 膜3の下端の幅 W_2 に対する上端の幅 W_1 の比 W_1/W_2 を、好適には1.5以上、より好適には1.7以上とすることが望ましいと言える。

【0055】この第6の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0056】次に、この発明の第7の実施形態による GaN 系半導体レーザの製造方法について説明する。図12にこの製造方法を示す。この GaN 系半導体レーザは、SCH (Separate Confinement Heterostructure) 構造を有するものである。

【0057】この第7の実施形態においては、図12に示すように、まず、第1～第6の実施形態と同様な方法により、c面サファイア基板1上に GaN 層2を成長させ、この GaN 層2上に成長マスクとしての SiO_2 膜3を形成し、その上にMOCVD法により表面が平坦で低結晶欠陥密度の GaN 層4を連続膜として成長させた後、引き続いてMOCVD法により、この GaN 層4の

上にn型 GaN コンタクト層5、n型 AlGaIn クラッド層6、n型 GaN 光導波層7、例えば $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$ 多重量子井戸構造の活性層8、p型 GaN 光導波層9、p型 AlGaIn クラッド層10およびp型 GaN コンタクト層11を順次成長させる。このとき、これらの層の下地となる GaN 層4が低結晶欠陥密度の高品質な単結晶であることから、これらの層もまた低結晶欠陥密度の高品質の単結晶となる。ここで、 In を含まない層であるn型 GaN コンタクト層5、n型 AlGaIn クラッド層6、n型 GaN 光導波層7、p型 GaN 光導波層9、p型 AlGaIn クラッド層10およびp型 GaN コンタクト層11の成長温度は例えば 1000°C 程度とし、 In を含む層である $\text{Ga}_{1-x}\text{In}_x\text{N}/\text{Ga}_{1-y}\text{In}_y\text{N}$ 多重量子井戸構造の活性層8の成長温度は例えば $700\sim 800^\circ\text{C}$ とする。n型 AlGaIn クラッド層6およびp型 AlGaIn クラッド層10のIII族元素の組成は、例えば Al が10%、 Ga が90%である。

【0058】ここで、これらの層の厚さの一例を挙げると、n型 GaN コンタクト層5は $3\mu\text{m}$ 、n型 AlGaIn クラッド層6は $0.5\mu\text{m}$ 、n型 GaN 光導波層7は $0.1\mu\text{m}$ 、p型 GaN 光導波層9は $0.1\mu\text{m}$ 、p型 AlGaIn クラッド層10は $0.5\mu\text{m}$ 、p型 GaN コンタクト層11は $0.5\mu\text{m}$ とする。また、n型 GaN コンタクト層5、n型 AlGaIn クラッド層6およびn型 GaN 光導波層7にはドナーとして例えば Si をドーブし、p型 GaN 光導波層9、p型 AlGaIn クラッド層10およびp型 GaN コンタクト層11にはアクセプタとして例えば Mg をドーブする。

【0059】この後、これらの層にドーブされたドナーおよびアクセプタの電気的活性化、特に、p型 GaN 光導波層9、p型 AlGaIn クラッド層10およびp型 GaN コンタクト層11にドーブされたアクセプタの電気的活性化のための熱処理を行う。

【0060】次に、p型 GaN コンタクト層11上に、所定幅のストライプ形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばRIE法によりn型 GaN コンタクト層5の厚さ方向の途中の深さまでエッチングすることにより、n型 GaN コンタクト層5の上層部、n型 AlGaIn クラッド層6、n型 GaN 光導波層7、活性層8、p型 GaN 光導波層9、p型 AlGaIn クラッド層10およびp型 GaN コンタクト層11をストライプ状にパターンニングする。

【0061】次に、エッチングに用いたレジストパターンを除去した後、p型 GaN コンタクト層11上に例えば Ni/Au 膜や $\text{Ni}/\text{Pt}/\text{Au}$ 膜などからなるp側電極12を形成すると共に、エッチングされた部分のn型 GaN コンタクト層5上に例えば Ti/Al 膜からなるn側電極13を形成する。

【0062】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板1をストライプ部の延在する方向に垂直な方向に沿ってバー状に劈開したり、ドライエッチングしたりすることにより両共振器端面を形成する。次に、このバーをダイシングやスクライブなどにより分離してチップ化する。以上により、目的とするSCH構造のGaN系半導体レーザが製造される。

【0063】この第7の実施形態によれば、レーザ構造を形成する半導体層の下地となるGaN層4を成長させる際に、この発明の第1～第6の実施形態によるGaN層の成長方法を用いていることにより、通電時に短絡の原因となる空洞の殆ど無い良質なGaN層4が得られている。これにより、通電時の短絡を防止することができるので、信頼性の高いGaN系半導体レーザを得ることができる。

【0064】また、このようにGaN層4中における空洞の発生を抑制することで通電時の短絡を防止することができることから、従来のように、空洞発生領域を避けて電流通路となるストライプ部を形成するようなことを行わなくてよい。言い換えれば、ストライプ部は、成長マスクとしてのSiO₂膜3の延長方向とは独立に、任意の方向に形成することができ、したがって、共振器端面も任意の方向に形成することができる。すなわち、例えば劈開により共振器端面を形成する際に、最適な方向、例えば〈11-20〉方向が有れば、その方向に共振器端面が形成されるように、ストライプ部を形成する方位を決定できるようになる。また、ストライプ部の形成位置もSiO₂膜3の形成位置とは独立に設定することができる。このように、この第7の実施形態によれば、レーザ構造を形成する半導体層の下地となるGaN層4において空洞の発生が抑制されていることにより、GaN系半導体レーザの設計の自由度が向上するという利点を得ることもできる。

【0065】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0066】例えば、上述の第1～第7の実施形態において挙げた数値、構造、材料、基板、原料、プロセスなどはあくまで例にすぎず、必要に応じて、これらと異なる数値、構造、材料、基板、原料、プロセスなどを用いてもよい。

【0067】具体的には、上述の第1～第7の実施形態においては、成長マスクとしてのストライプ形状のSiO₂膜3の延在する方向をc面サファイア基板1の〈11-20〉方向に設定しているが、このストライプ形状のSiO₂膜3の延びる方向は〈1-100〉方向に設定してもよい。また、SiO₂膜3の断面形状に関しても、第1～第7の実施形態において例示した以外の形状としてもよい。一例を挙げると、例えば、図13に示す

ように、SiO₂膜3の上面を全て曲面により構成してもよい。この場合、SiO₂膜3の上面が全て曲面により構成され上面に平坦部が存在しないことにより、すなわち、SiO₂膜3の上端の幅W₁が0であることにより、空洞発生の抑制効果は第1の実施形態より高い。

【0068】また、上述の第1～第7の実施形態においては、基板としてc面サファイア基板を用いているが、必要に応じて、SiC基板、スピネル基板、ZnO基板などを用いてもよい。また、成長方法としては、MOCVD法以外に、HVPE法、MBE法などを用いてもよい。

【0069】また、上述の第1～第7の実施形態においては、成長マスクとしてSiO₂膜3を用いているが、これは、SiO₂膜3に代えてSiN膜を用いてもよい。また、この成長マスクとしては、SiO₂膜とSiN膜との積層構造を有するものを用いてもよい。なお、この場合、積層構造の最上層はSiN膜とすることが好ましい。また、成長マスクは、基板上に直接形成してもよい。

【0070】さらに、上述の第7の実施形態においては、この発明をGaN系半導体レーザの製造に適用した場合に説明したが、この発明は、GaN系発光ダイオードは勿論、GaN系FETなどGaN系電子走行素子の製造に適用してもよい。

【0071】

【発明の効果】以上説明したように、この発明の第1の発明によれば、基板上に成長マスクを形成した状態で基板上に窒化物系III-V族化合物半導体を成長させる場合に、成長マスクの上端の幅を4.8μm以下と最適化していることにより、空洞の発生を抑制しつつ高品質な窒化物系III-V族化合物半導体を成長させることができる。これにより、この窒化物系III-V族化合物半導体の成長方法を、半導体装置または半導体装置製造用基板の製造に適用することにより、信頼性の高い半導体装置を製造することができる。

【0072】この発明の第2の発明によれば、基板上に成長マスクを形成した状態で基板上に成長させた窒化物系III-V族化合物半導体層を有する場合であっても、成長マスクの上端の幅が4.8μm以下であることにより、その窒化物系III-V族化合物半導体層に空洞がほとんど存在しないことにより、信頼性が高く、かつ、設計の自由度の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 成長マスクの上端の幅を変えてGaN層を選択成長させ、得られたGaN層における空洞の有無を調べた結果を示す略線図である。

【図2】 図1に示す実験に用いた試料を示す断面図および平面図である。

【図3】 図1に示す実験と異なる成長条件で、成長マ

スクの上端の幅を変えてGa_{0.5}N層を選択成長させ、得られたGa_{0.5}N層における空洞の有無を調べた結果を示す略線図である。

【図4】 Ga_{0.5}N層の成長時のH₂ガスとN₂ガスとの合計の流量に対するH₂ガスの流量の比の変化による、空洞を発生させずにGa_{0.5}N層を選択成長させることが可能なSiO₂膜の上端の幅の上限値の変化を説明するための略線図である。

【図5】 この発明の第1の実施形態によるGa_{0.5}N層の成長方法を説明するための断面図である。

【図6】 この発明の第2の実施形態によるGa_{0.5}N層の成長方法を説明するための断面図である。

【図7】 この発明の第3の実施形態によるGa_{0.5}N層の成長方法を説明するための断面図である。

【図8】 この発明の第4の実施形態によるGa_{0.5}N層の成長方法を説明するための断面図である。

【図9】 この発明の第5の実施形態によるGa_{0.5}N層の成長方法を説明するための断面図である。

【図10】 この発明の第6の実施形態によるGa_{0.5}N層の成長方法を説明するための断面図である。

【図11】 Ga_{0.5}Nの選択成長において、逆テーパ形状の断面形状を有する成長マスクを用いた場合の欠陥の伝

搬の様子を説明するための断面図である。

【図12】 この発明の第7の実施形態によるGa_{0.5}N系半導体レーザの製造方法を説明するための断面図である。

【図13】 この発明によるGa_{0.5}N層の成長方法において用いられる成長マスクの断面形状の変形例を示す断面図である。

【図14】 従来技術によるGa_{0.5}N層の成長方法を説明するための断面図である。

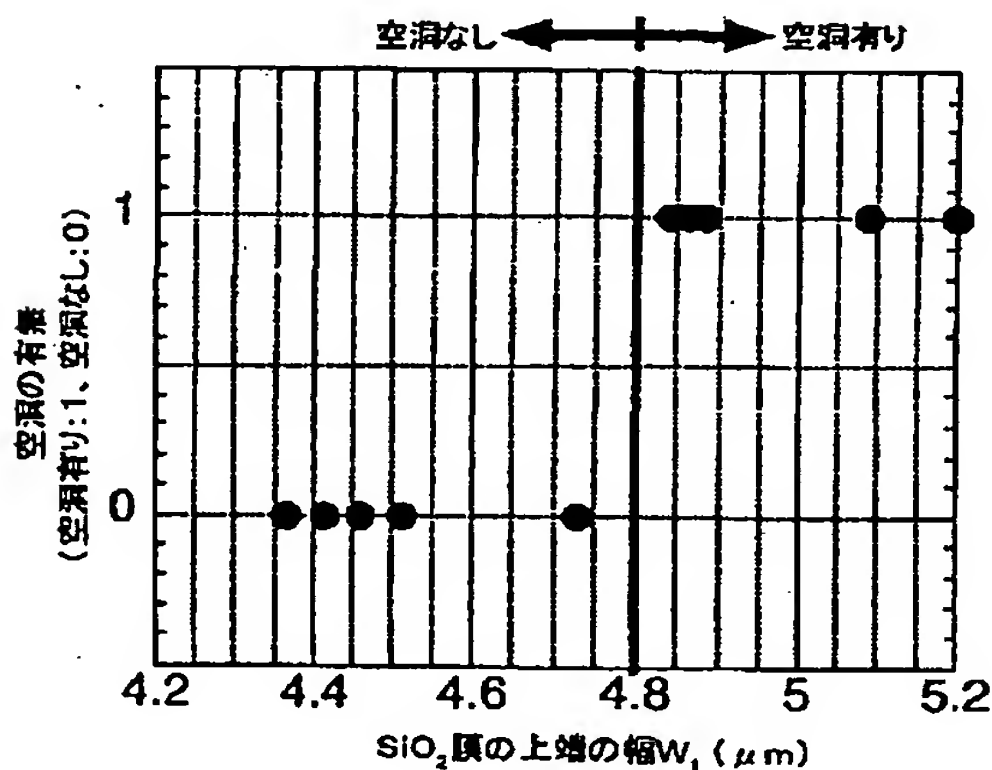
【図15】 Ga_{0.5}Nの選択成長における欠陥の伝搬の様子を説明するための断面図である。

【図16】 従来技術によるGa_{0.5}N層の成長方法の問題点を説明するための断面図である。

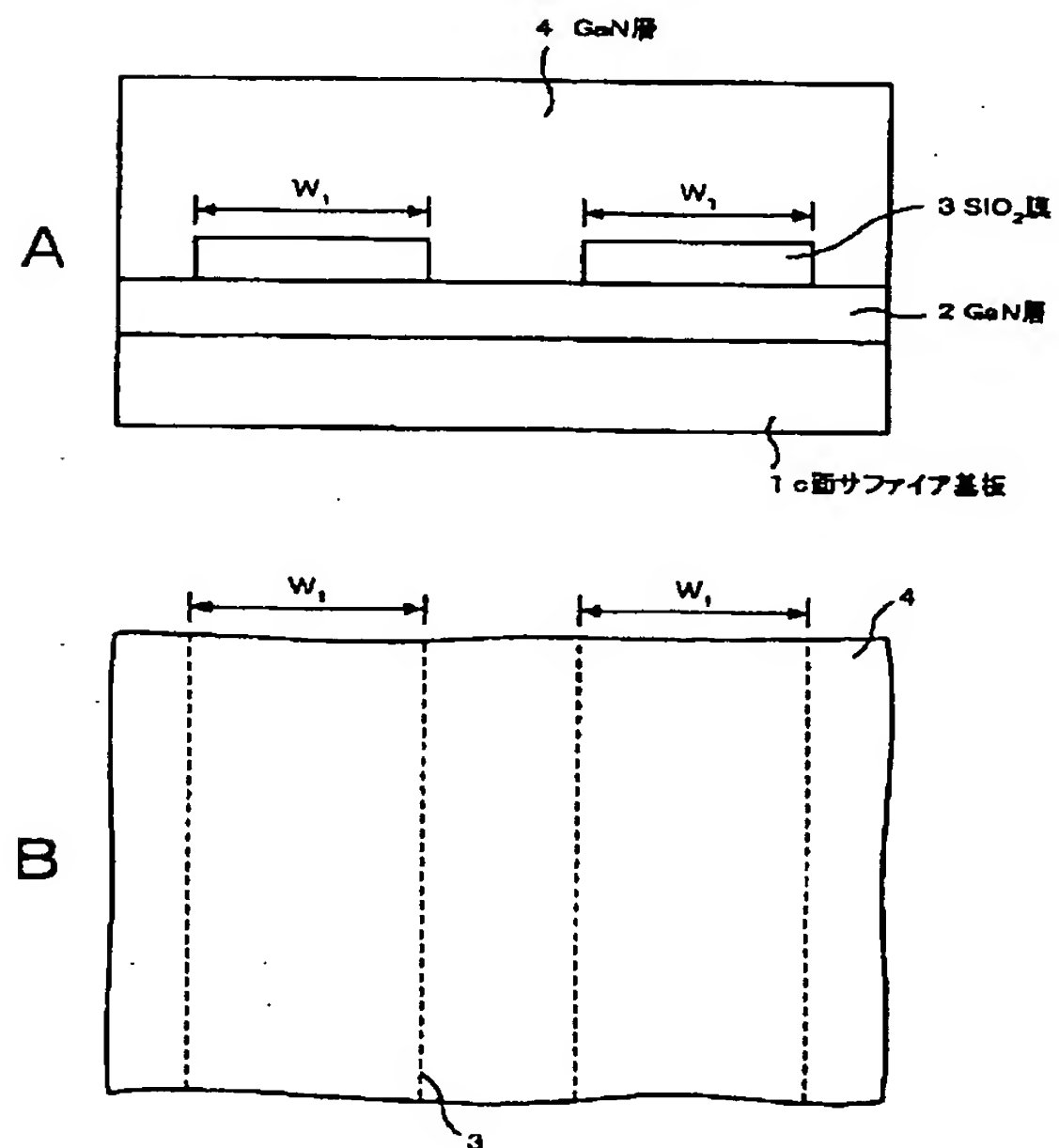
【符号の説明】

1・・・c面サファイア基板、2、4・・・Ga_{0.5}N層、3・・・SiO₂膜、5・・・n型Ga_{0.5}Nコンタクト層、6・・・n型AlGa_{0.5}Nクラッド層、7・・・n型Ga_{0.5}N光導波層、8・・・活性層、9・・・p型Ga_{0.5}N光導波層、10・・・p型AlGa_{0.5}Nクラッド層、11・・・p型Ga_{0.5}Nコンタクト層、12・・・p側電極、13・・・n側電極

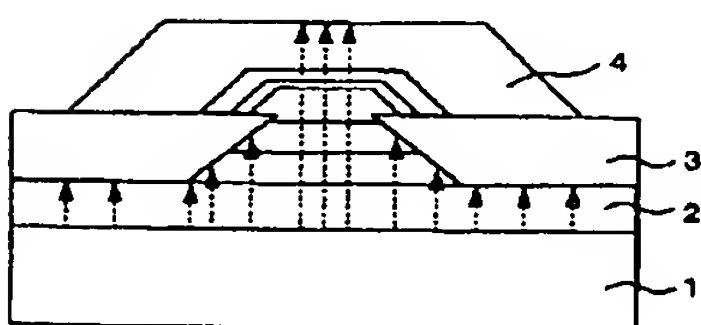
【図1】



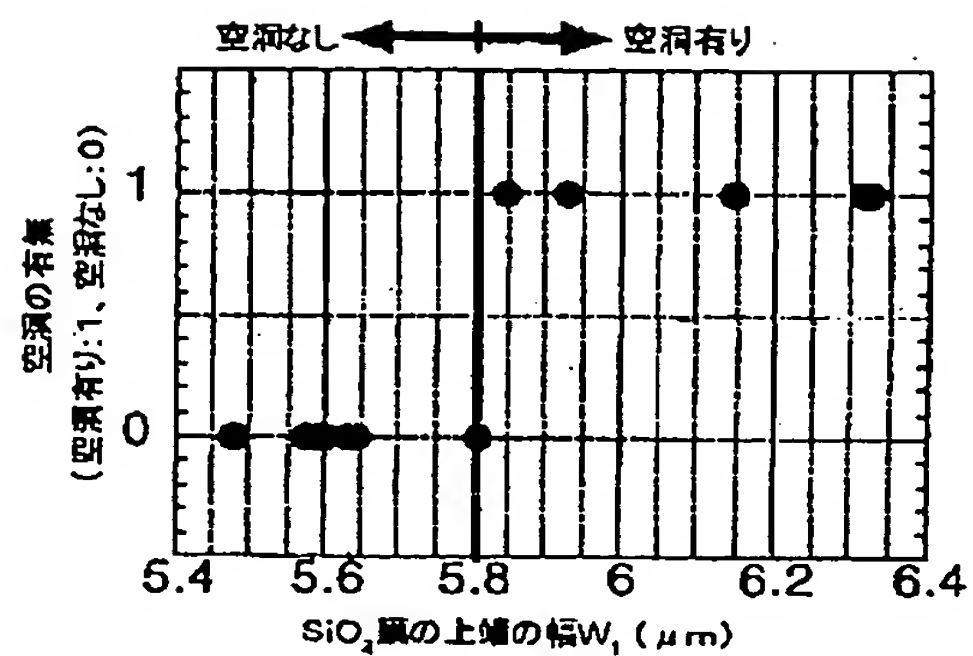
【図2】



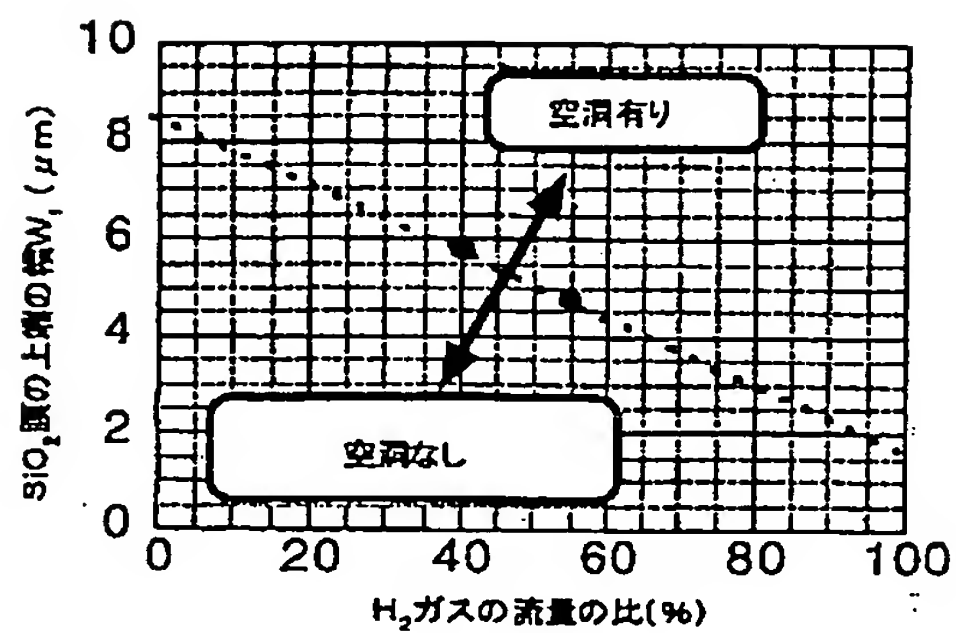
【図11】



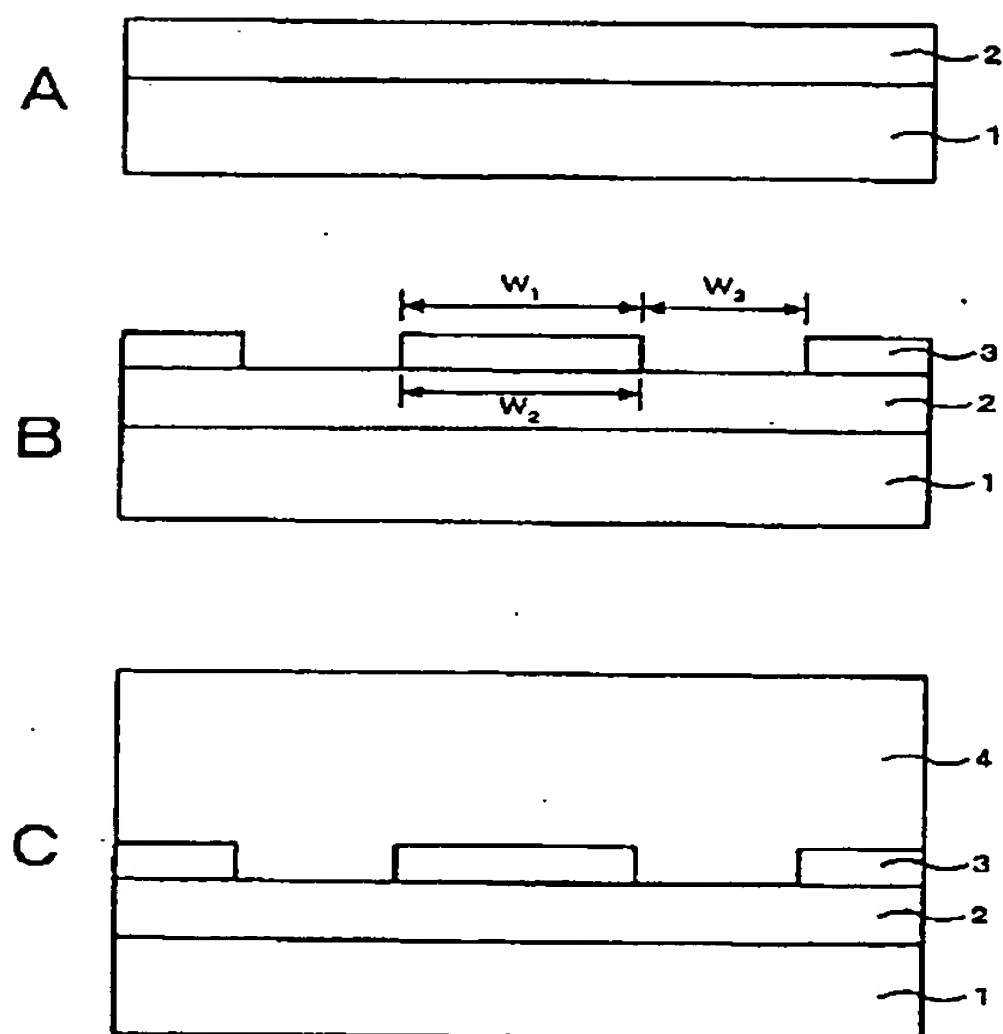
【図3】



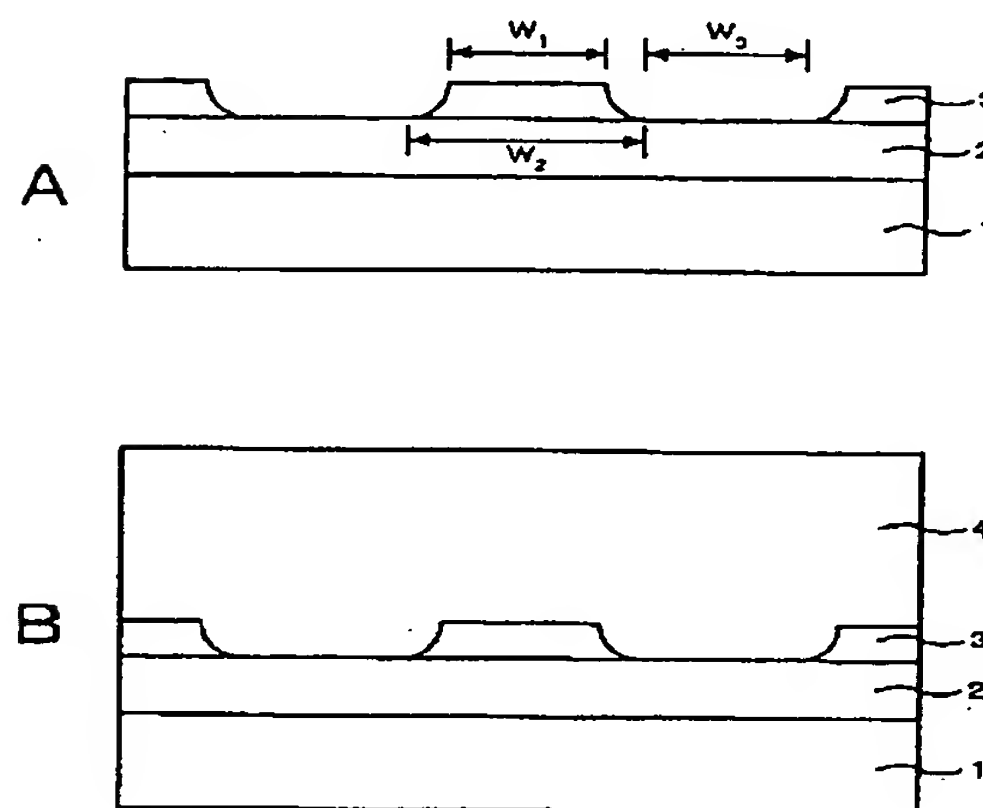
【図4】



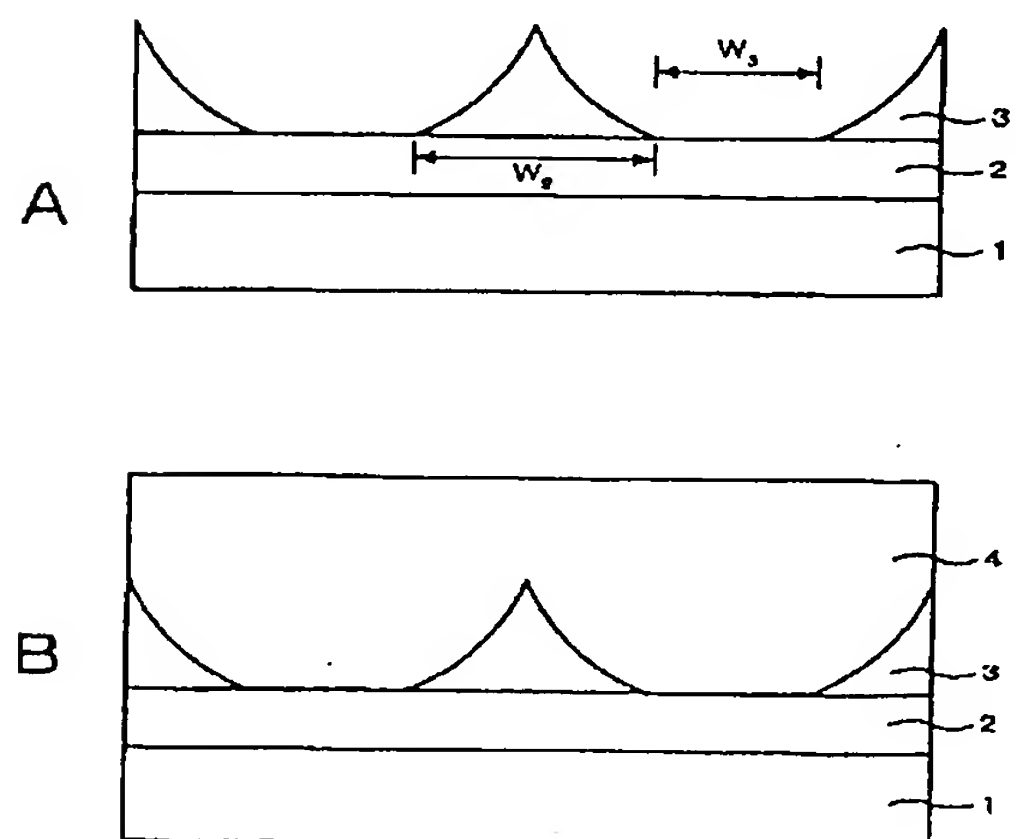
【図5】



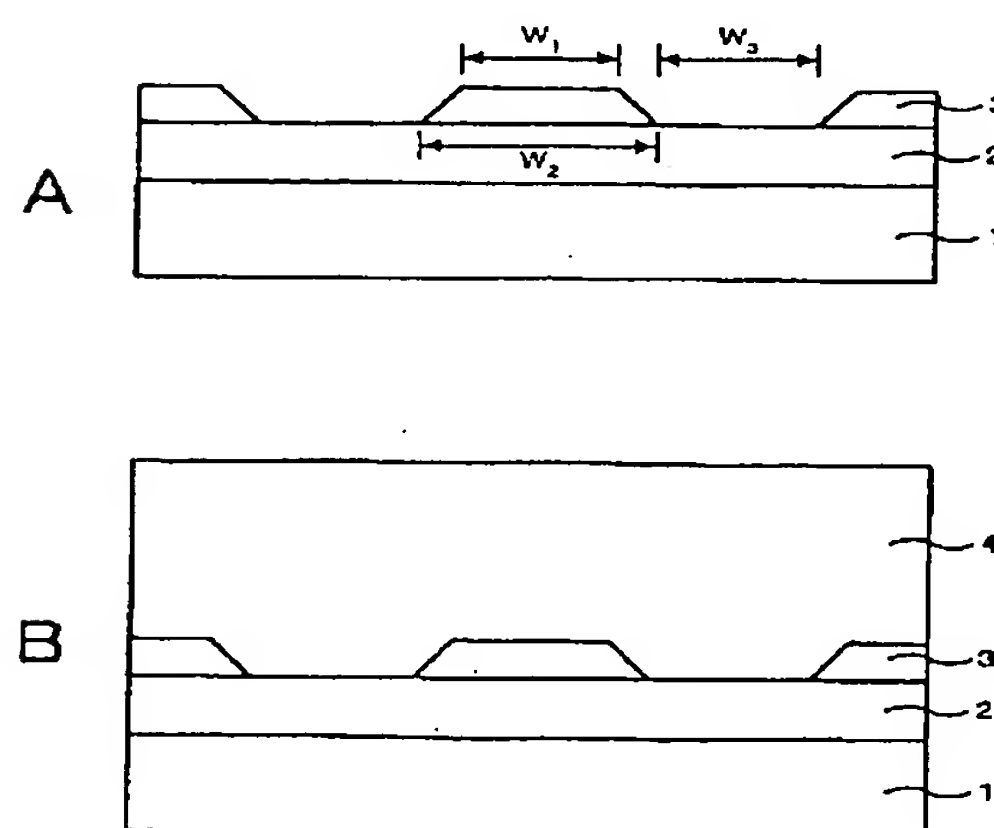
【図6】



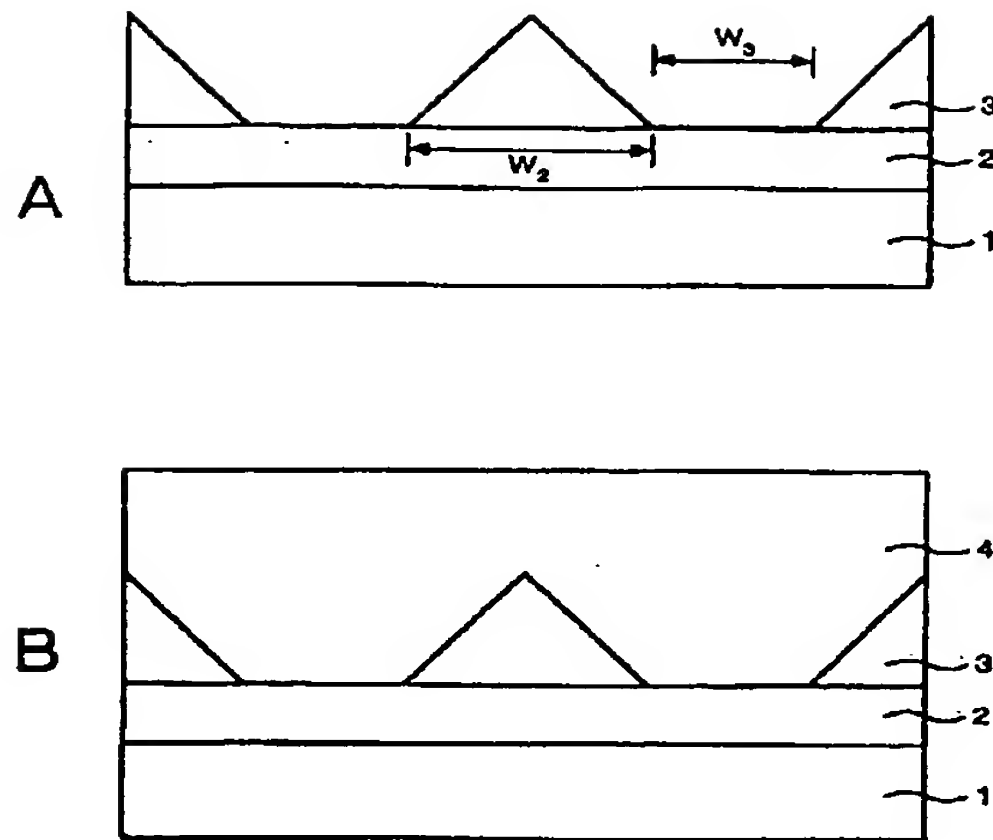
【図7】



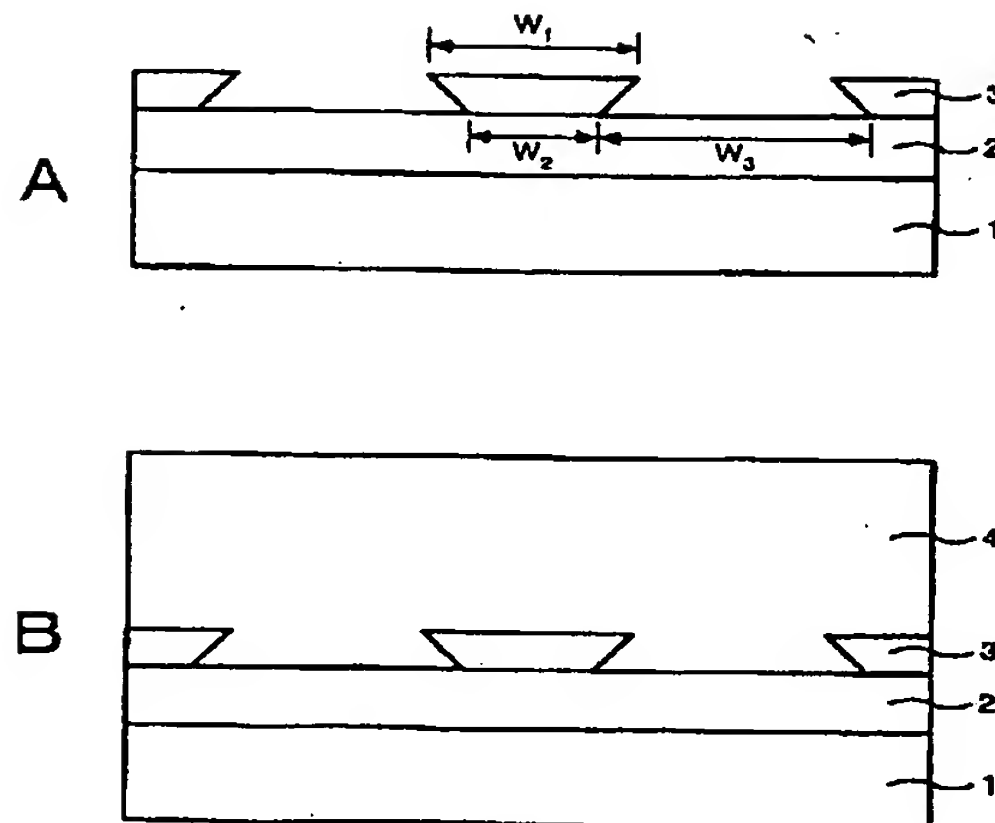
【図8】



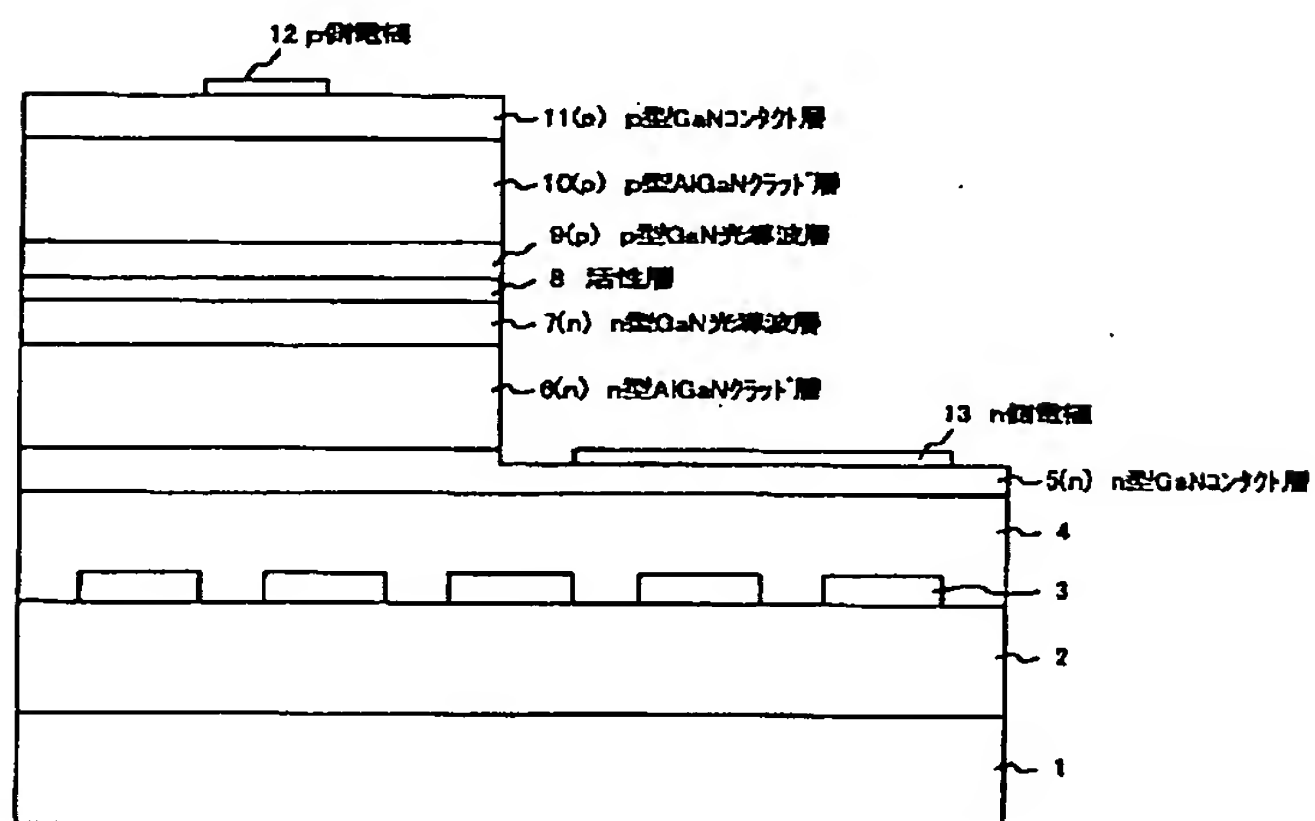
【図9】



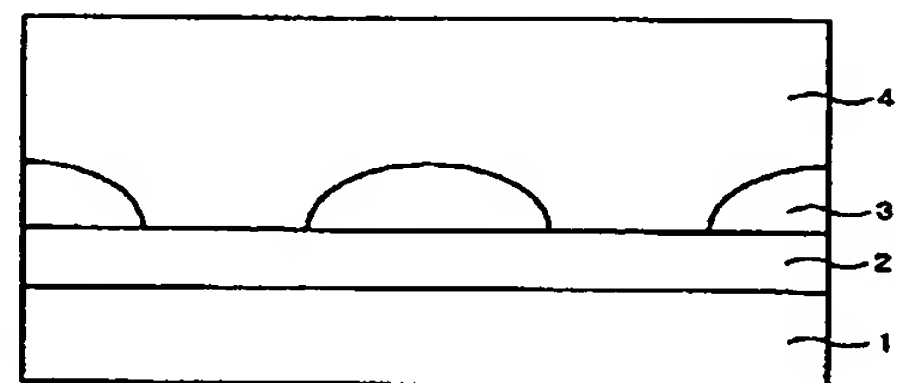
【図10】



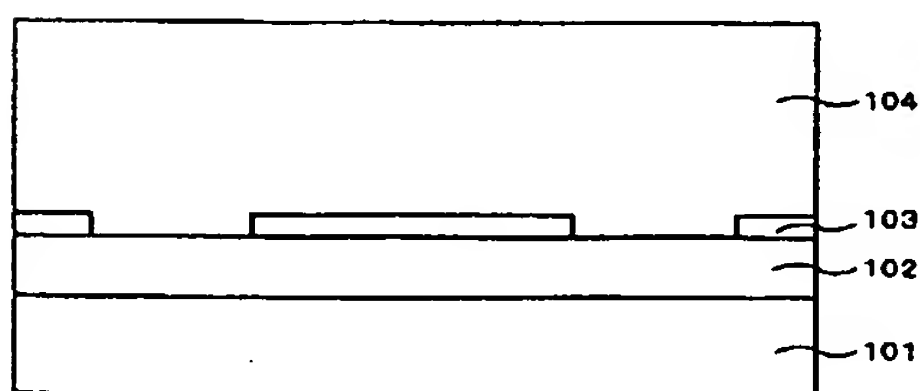
【図12】



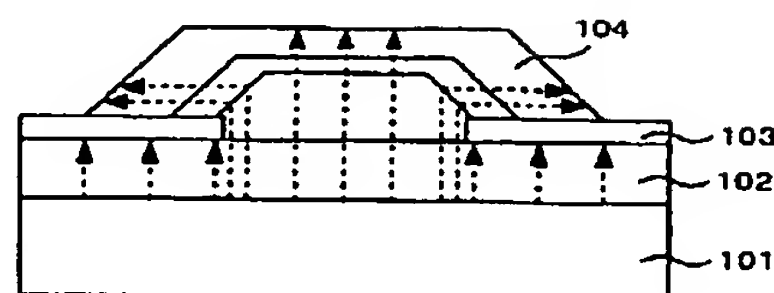
【図13】



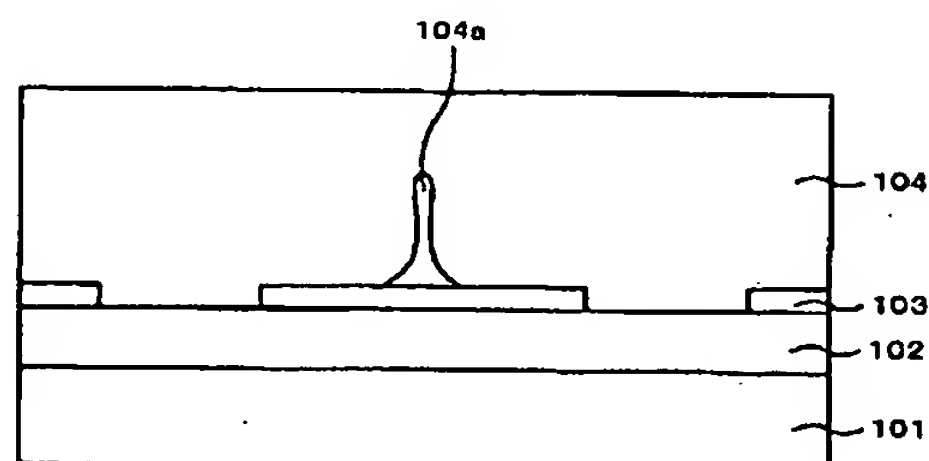
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 朝妻 庸紀

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5F041 AA31 CA40 CB02

5F045 AA04 AB09 AB14 AB17 AB18
AB32 AB33 AC08 AC12 AC18
AD09 AD10 AD14 AD15 AD16
AF02 AF09 AF13 AF20 CA10
CA12 DA53 DA55 EE12 EE14
5F073 AA03 AA45 AA61 CA07 CB05
CB07 CB19 CB22 DA05 DA16
DA25 EA29